



(19)

(11) Publication number:

6

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 59149103

(51) Intl. Cl.: H04J 3/06 H03K 23/66 H0

(22) Application date: 18.07.84

(30) Priority:

(43) Date of application
publication:

07.02.86

(84) Designated contracting
states:

(71) Applicant: FUJITSU LTD

(72) Inventor: YAMASHITA ATSUS
KATO TADAYOSHI

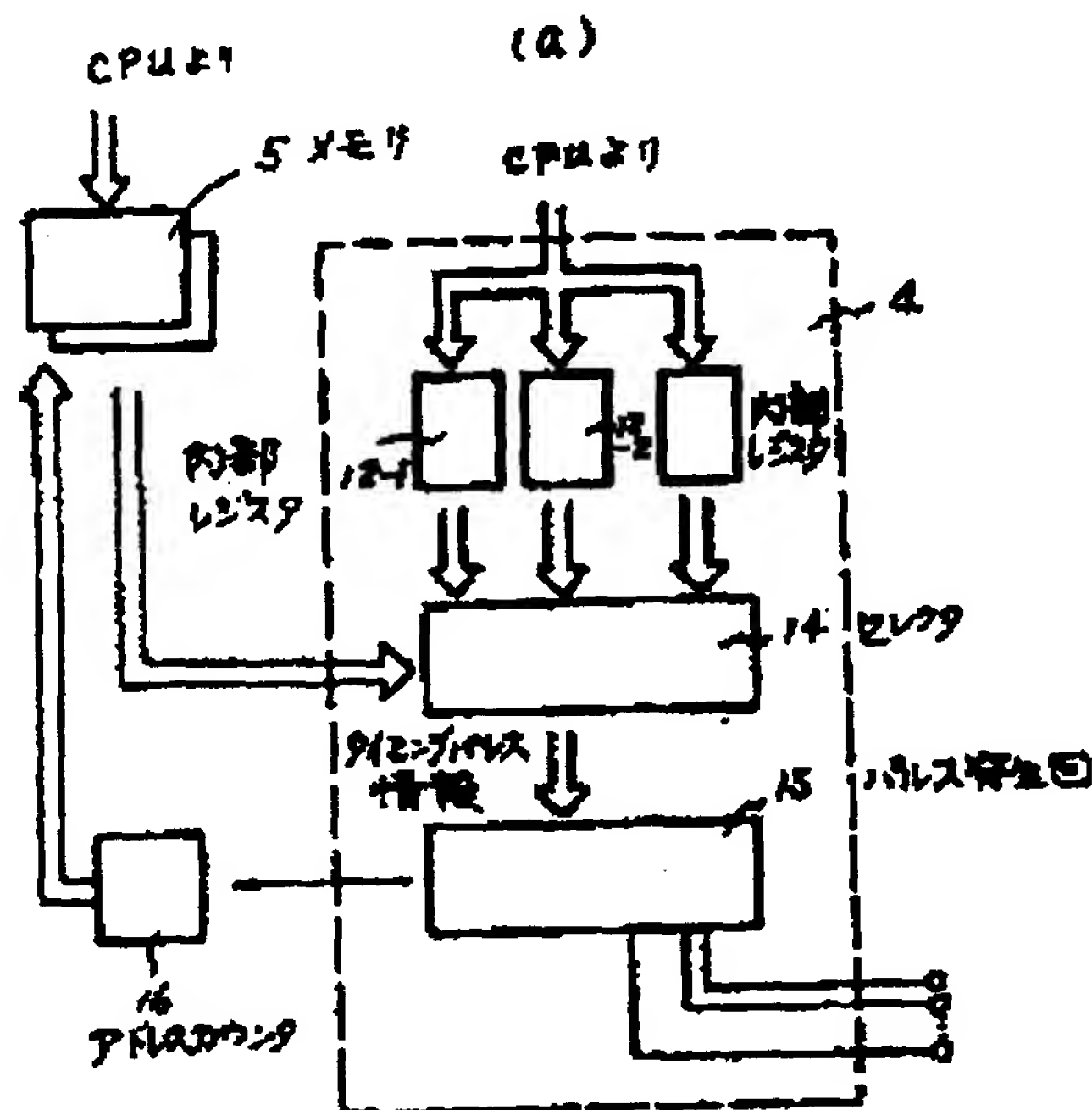
(74) Representative:

(54) PROGRAMMABLE PULSE GENERATING CIRCUIT

(57) Abstract:

PURPOSE: To attain large scale circuit integration, that is, miniaturization of device by using timing pulse information to output a corresponding timing pulse from a pulse generating circuit to provide a general-purpose properties of some degree as a timing pulse generating circuit.

CONSTITUTION: A timing control computer (CPU) writes basic timings such as burst length and guard time length in internal registers 12-1.... Then the corresponding timing pulse information is fed to a pulse generating circuit 15 by commanding numbers of operating internal registers 12-1... to a selector 14 from a memory 5, and required timing pulses are transmitted. Since the length of time slot and assignment of location are subjected to change in the demand assign TDMA system, the CPU obtains a combination corresponding to a change to update the content of the memory 5. Since the content of the



<http://www.delphion.com/cgi-bi>

memory 5. Since the content of the internal register is rewritten from a timing control CPU, the pulse generating circuit has general-purpose properties and circuit integration is attained.

COPYRIGHT: (C)1986,JPO&Japio

8A2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-28248

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月7日

H 04 J 3/06
H 03 K 23/66
H 04 B 7/155

Z-8226-5K
6749-5J
7251-5K

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 プログラマブルパルス発生回路

⑯ 特 願 昭59-149103

⑰ 出 願 昭59(1984)7月18日

⑱ 発 明 者 山 下 教 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 発 明 者 加 藤 忠 義 川崎市中原区上小田中1015番地 富士通株式会社内

⑳ 出 願 人 富士通株式会社 川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡 宏四郎

明 細 書

1. 発明の名称

プログラマブルパルス発生回路

2. 特許請求の範囲

予め必要なタイミングパルスを発生する為の情報を書込んだ内部レジスタと、メモリから指定された該内部レジスタを選択するセレクト部と、選択された該内部レジスタからのタイミングパルス情報によりタイミングパルスを発生するパルス発生回路とから構成された事の特徴とするプログラマブルパルス発生回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電子回路の動作タイミング制御、特にTDMA通信装置の送受信タイミング制御に使用するプログラマブルパルス発生回路に関するものである。

一般に、電子回路の動作タイミング制御用にプログラマブルなタイミングパルス発生回路が必要となる事が多い。

特に、衛星通信に広く用いられるTDMA(時分割多元接続)通信方式ではデータバーストの送受信タイミングの設定に、プログラマブルなタイミングパルス発生回路が不可欠である。

第2図(ハ)はTDMA通信を行う為のタイムスロット図を示す。

同図に示す様にTDMA方式を用いてA局とB局が通信を行う場合、周波数を共用するので自局はA局に割当られた送信タイムスロットにデータバーストを衛星上の中継器宛に送信し、B局はB局に割当られた送信タイムスロットにデータバーストを送信する(第2図(ハ)・①、②参照)。

そこで、衛星中継器から第2図(ハ)・③に示す様に各局のバーストが逐次地上局に送出されるので、相手局からのデータバーストを定められた受信タイムスロットから受信する(第2図・④、⑤参照)。

尚、この図は伝搬遅延等は無視している。

この為、TDMA装置は割当られたタイムスロットにバーストを送受信する為のタイミングパルス発生回路が必要となる。

しかし、一般にはタイムスロットの長さや位置はシステムによって異なるので、上記タイミングパルス発生回路は回路の小型化の為に専用化され汎用性のあるものはなかった。

そこで、汎用性がありLSI化の可能なタイミングパルス発生回路が要望されていた。

(従来の技術)

第2図(4)はTDM装置の概略のブロック図である。

同図に於て、送束装置1からの入力信号は送信用速度変換部2で自局の送信タイムスロットに合ったバースト信号に変換され、送信機7より外部に送出される。

一方、受信機8で受信されたバースト信号は受信速度変換部3で自局が受信すべきタイムスロットで抽出され送束装置1に送出される。

尚、タイミングパルス発生回路4はコンピュータ6を介してメモリ5に蓄込まれているタイミングパルス情報(長さ、位置、出力端子等)をシーケンシャルに読み出し、必要なタイミングパルスを発生する。

3

そこで、システム毎にプログラマブルパルス発生回路を設計して専用化するとこの様な問題点は解決できるが、汎用性が無くなり、装置の小型化に必要なLSI化が不可能となった。

(発明が解決しようとする問題点)

上記説明の様に、従来はシステム毎にプログラマブルパルス発生回路を設計・製作していたので、この回路のLSI化即ち、装置の小型化が不可能であると云う問題点があった。

(問題点を解決するための手段)

上記の問題点は、予め必要なタイミングパルスを発生する為の情報を蓄込んだ内部レジスタと、メモリから指定された該内部レジスタを選択するセレクト部と、選択された該内部レジスタからのタイミングパルス情報によりタイミングパルスを発生するパルス発生回路とから構成された本発明のプログラマブルパルス発生回路により解決する事ができる。

(作用)

本発明はTDM装置等で使用する基本的なタイミ

第2図(4)はタイミングパルス発生回路4の一例のブロック図を示す。

同図に於て、例えばスタートパルスをフレームパルスから100パルス目に送出すると云うタイミングパルス情報がメモリ5に蓄込まれているとする。

一方、カウンタ10はフレームパルスでリセットされながら常時走っているが、その値とメモリ5の値とを比較器11で比較し、一致したらその点でスタートパルスがタイミングパルス発生回路4から送出される。

そこで、このスタートパルスを受けた回路、例えば送信側ではこれを用いて割り出されたタイムスロットで送信バーストを送信し、受信側では割り出された受信スロットで受信する。

しかし、この様な構成にすると汎用性はあるが装置が大きくなり下記の様な問題が発生する。

- (1) メモリの容量が大きくなる。
- (2) コンピュータの制御が複雑になる。
- (3) メモリのアクセスタイムに制限される。

4

ングは種類が少なく、それらの組合せにより必要なタイミングパルス情報が得られる事に着目し、予め必要な基本的タイミングを内部レジスタに蓄込んでおき、メモリから内部レジスタの番号を指示することで指示された内部レジスタの基本的タイミングをセレクトを介して読み出しタイミングパルス情報を得る。そして、このタイミングパルス情報を用いてパルス発生回路より対応するタイミングパルスを出力する様にした。

これにより、タイミングパルス発生回路としてある程度汎用性のあるものが得られるので、LSI化即ち、装置の小型化が可能となった。

(実施例)

第1図(4)は本発明の一実施例のブロック図である。尚、全図を通じて同一符号は同一対象物を示す。

第1図(4)に於て、システム立ち上げ時にタイミング制御用コンピュータ(以下CPUと省略するが、図示せず)がバーストの長さ、ガードタイム長などの基本的なタイミングを内部レジスタ12・1…に

書込む。(通常はこの値はシステムによって異なる)。

又、CPU はこれらの基本的なタイミングをどの様に組合せ、どの様な順序でそれを読出せば自動的に割当られたタイムスロットに送信/受信出来るかを求め、それをメモリ5に書込む。

そこで、メモリ5からは使用する内部レジスタ12-1…の番号をセレクト14に指示する事により、対応するタイミングパルス情報がパルス発生回路15に加えられ、必要なタイミングパルスが送出される。

尚、パルス発生回路15はタイミングパルスが発生すると共にアドレスカウンタ16を1つアップするので、メモリ5からそのアドレスに対応する内部レジスタが指定され、必要なタイミングパルスが送出される。

又、ダイヤモンドサインTDM方式ではタイムスロットの長さ、位置の割当が変化するので、前記CPUは変化したらそれに対応する組合せを求めメモリ5の内存を更新する。

7

される。

即ち、Cフラグが“1”の時はサブカウンタ19は値を1つずつ増加し、外部RAM 5のアドレスカウンタの値は変化しない。しかし、“0”の時はサブカウンタ19の値はクリアされ、外部RAM アドレスカウンタ(図示せず)の値が1つ増加して次のレジスタブロックを指定する。

この様な構成にする事により、あるレジスタブロック内の任意の個数の内部レジスタを外部RAMの1バイトで指定する事ができるので、少ない外部RAMで自由なタイミングを設定することができる。

尚、タイミングカウンタ、行先デコード、Cフラグデコードは第1図例のパルス発生回路15に含まれ、4はプログラマブルパルス発生回路を示す。

第1図例はTDM用バースト発生の説明図を示す。

同図に於て、データバースト及び同期バーストのプリアンブル部分(●の部分)は同一だから、この部分に対して1つのレジスタブロックを作っておけば、外部RAM 1バイトでプリアンブル部を

第1図例は本発明の別の実施例のブロック図を示す。

今、内部レジスタが例えばタイミング長設定、出力端子の番号である行先アドレス、Cフラグ用として合計13ビットで構成されているとする。

又、第1図例に示す様に複数個の内部レジスタをまとめて1レジスタブロック(例えば17、18…)を構成する。

そして、メモリ(例えば外部RAM)5により例えばレジスタブロック17が指定されると、直ちにサブカウンタ19によりそのブロック内のレジスタ17-1…が逐次読出され、サブセレクト20、セレクト14を過ってタイミングカウンタ、行先デコード(図示せず)でタイミング長の設定、行先デコードが行われる。

又、Cフラグデコード(図示せず)でCフラグがデコードされ“1”の時は同じブロック内の次の内部レジスタが読出されるが、“0”になるとレジスタブロック17での読出しは終了し、外部RAM 5により次のレジスタブロック例えば18が指定

8

発生させる事ができる。

そこで、例えばデータバーストが発生したい時は、レジスタブロックF—レジスタブロック0—レジスタブロックEを指定するとa—b—cの部分を得られる。

又、同期バーストが発生する時はレジスタブロックF—レジスタブロック1—レジスタブロックEと指定するとa—d—cの部分を得られる。

即ち、1バースト当たり外部RAM 3バイトで指定できる。

尚、CTはガードタイム、CWは搬送波再生用連続波、STRはクロック再生用符号、UN はユニークワード、CST はデータ制御情報、AUX は誤り訂正用補正符号をそれぞれ示す。

この様な構成にする事によりタイミング制御用CPUの制御が簡単になると共に所要メモリ容量が大幅に削減できる。

又、内部レジスタの内容はタイミング制御用CPUから書換え可能であるので、このパルス発生回路は汎用性を持ちIC化が可能となる。

(発明の効果)

以上説明した様に本発明は下記の様な効果を持っている。

- (1) 所要メモリ容量が大幅に削減出来る。
- (2) タイミング制御用CPUは内部レジスタ番号を指定すれば良いので制御が簡単になる。
- (3) 動作速度に対するメモリアクセスタイムの制限が少ない為に高速動作する。
- (4) 内部レジスタの内容はタイミング制御用CPUで書き換え可能であるのでIC化即ち、装置の小型化が可能となった。

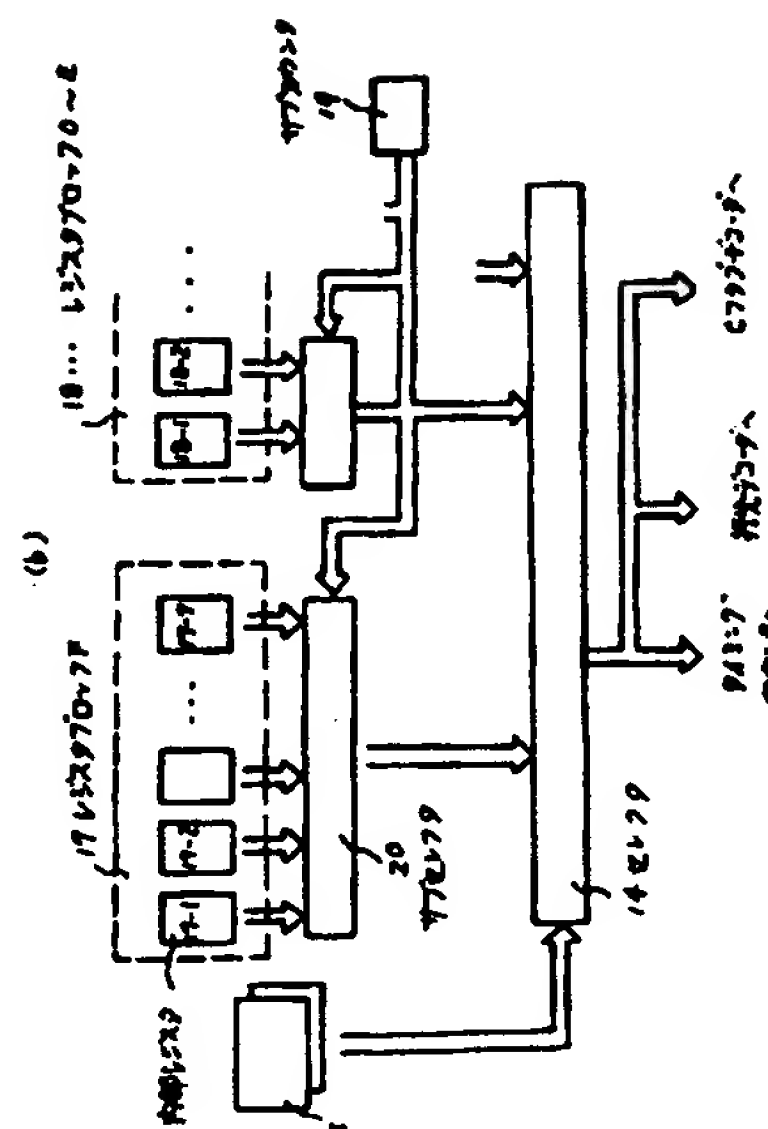
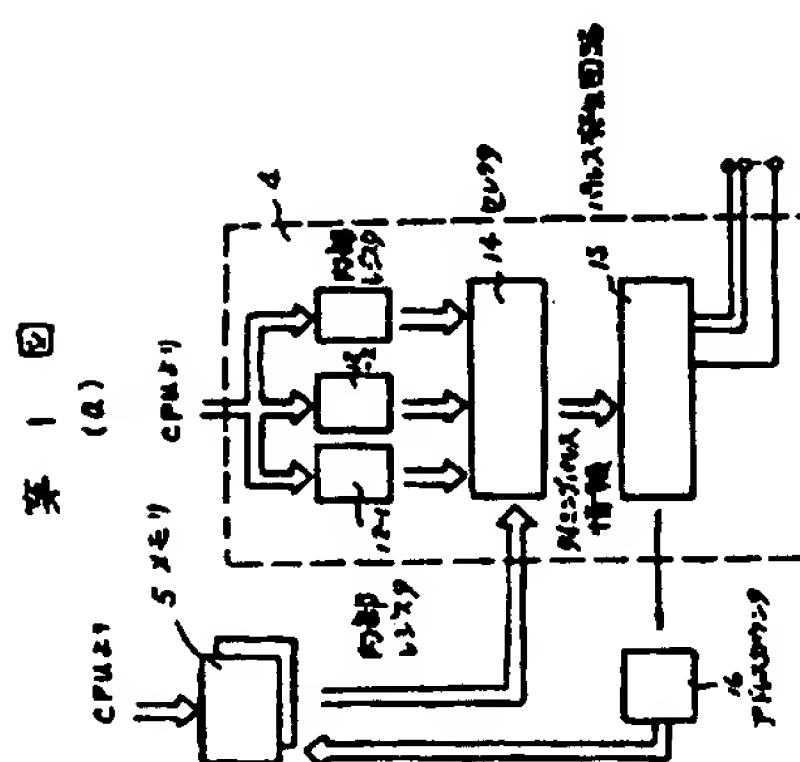
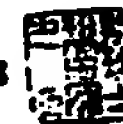
4. 図面の簡単な説明

- 第1図(a)は本発明の一実施例のブロック図、
 第1図(b)は本発明の別の実施例のブロック図、
 第1図(c)はTDNA用バースト発生の説明図、
 第2図(a)はTDNA方式のタイムスロット図、
 第2図(b)はTDNA装置のブロック図、
 第2図(c)はタイミングパルス発生回路の従来例のブロック図を示す。

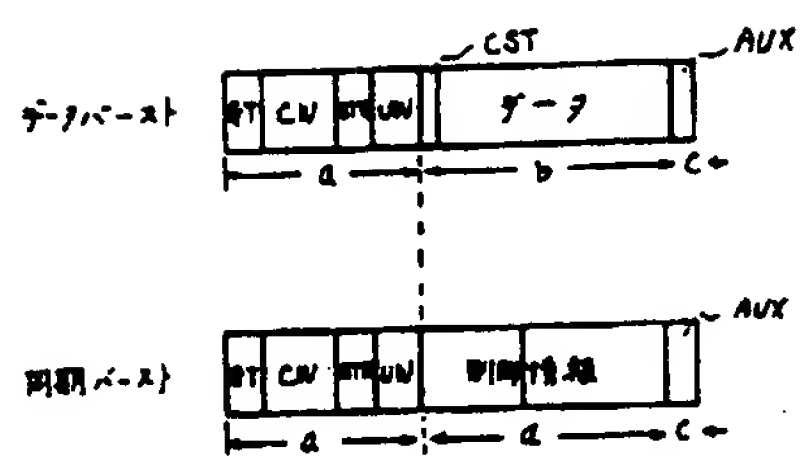
図において、

- 4はプログラマブルパルス発生回路、
 5はメモリ、
 16はアドレスカウンタをそれぞれ示す。

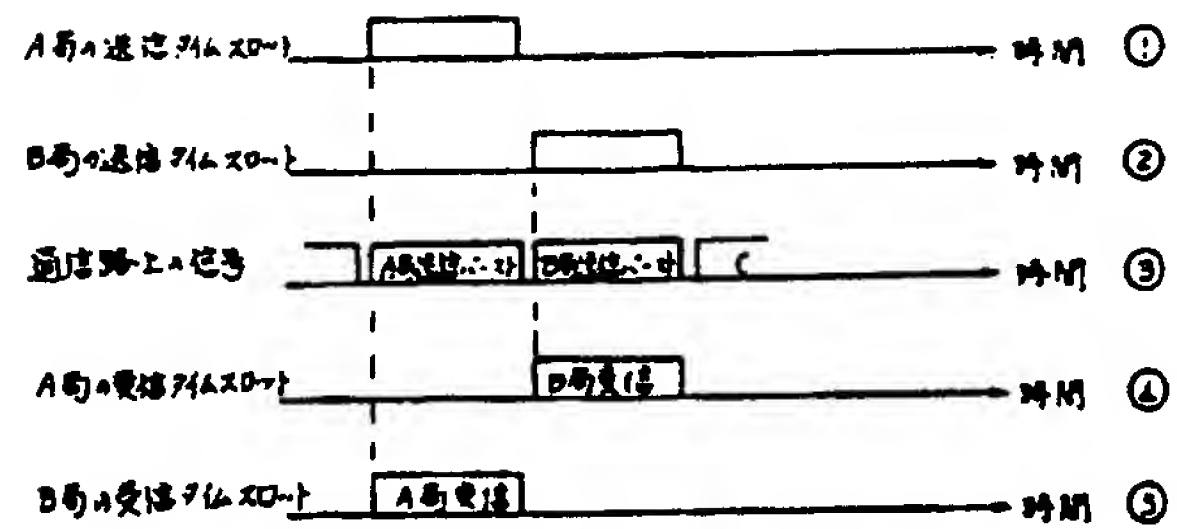
代理人 弁理士 松岡 定四郎



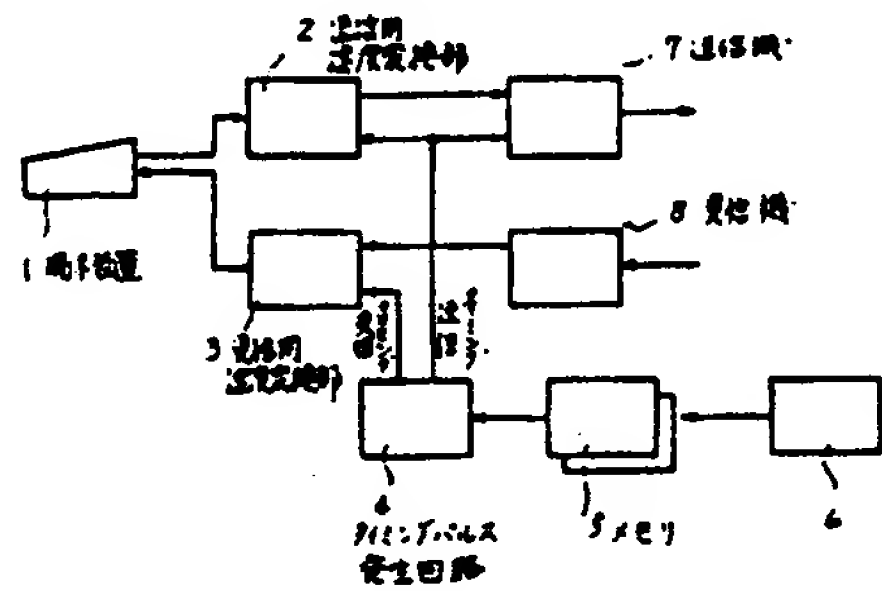
第 1 図
(c)



第 2 図
(a)



(b)



第 2 図 (c)

